



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07074722 A**(43) Date of publication of application: **17.03.95**

(51) Int. Cl.

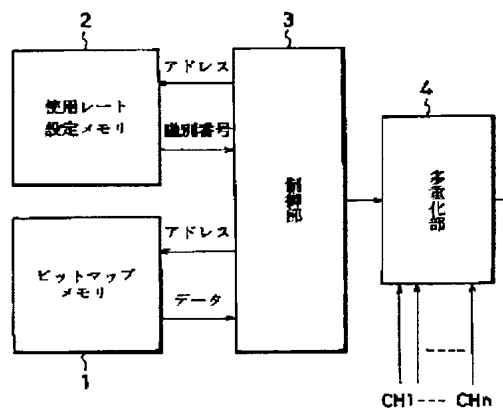
H04J 3/22
H04L 12/28
(21) Application number: **05217117**(22) Date of filing: **01.09.93**(71) Applicant: **FUJITSU LTD**
(72) Inventor: **ADACHI MAKOTO**
TACHIBANA TETSUO
(54) **MULTIPLEX CONTROL SYSTEM**

(57) Abstract:

PURPOSE: To simplify the revision of a transmission speed by multiplexing channel data with an output timing signal from a control section.

CONSTITUTION: A control section 3 accesses a bit map memory 1 from which a bit stream representing the presence of an output timing is read out and an operating rate setting memory 2. The bit string according to the number of kinds of a transmission speed read out of the memory 1 is latched and one-bit in the bit string to be latched is selected based on a result of decoding an identification number read out of the memory 2 corresponding to a channel. When the transmission speed is a maximum speed, the presence of the output timing is indicated and then the output timing signal is fed to a multiplexer section 4. Then data of a channel corresponding to an address reading the identification number from the memory 2 are multiplexed by the multiplexer section and the result is sent. The system easily copes with the extension, removal of a channel and the revision of a transmission speed of a channel by adopting a rewritable memory.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-74722

(43) 公開日 平成7年(1995)3月17日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 3/22		9299-5K		
H 0 4 L 12/28		8732-5K	H 0 4 L 11/ 20	F

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平5-217117

(22) 出願日 平成5年(1993)9月1日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 安達 誠

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 橋 哲夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

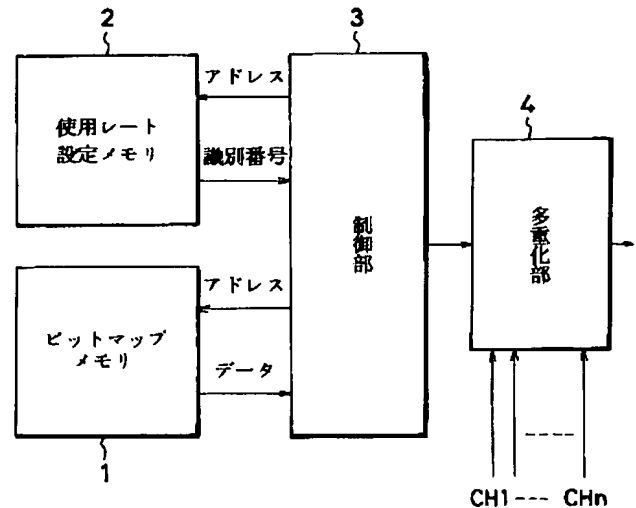
(54) 【発明の名称】 多重化制御方式

(57) 【要約】

【目的】 伝送速度が異なるチャネルを含む複数のチャネルのデータを多重化する多重化制御方式に関し、簡単な構成でチャネルの伝送速度の変更等にも容易に対処可能とする。

【構成】 異なる伝送速度にそれぞれ対応した出力タイミングの有無を示すビットを、ビットマップ形式で格納したビットマップメモリ1と、伝送速度を示す識別番号をチャネルCH1～CHn対応に設定した使用レート設定メモリ2と、ビットマップメモリ1をアクセスして読出した出力タイミングの有無を示すビットと、使用レート設定メモリ2をアクセスして読出した識別番号とを基に、チャネルCH1～CHn対応の伝送速度に従った出力タイミング信号を出力する制御部3とを備え、この制御部3からの出力タイミング信号により多重化部4に於いて複数チャネルのデータを多重化する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 伝送速度が異なるチャネルを含む複数のチャネルのデータを多重化する多重化制御方式に於いて、

異なる伝送速度にそれぞれ対応した出力タイミングの有無を示すビットを、ビットマップ形式で格納したビットマップメモリ(1)と、

前記伝送速度を示す識別番号を前記チャネル対応に設定した使用レート設定メモリ(2)と、

前記ビットマップメモリ(1)をアクセスして読出した前記出力タイミングの有無を示すビットと、前記使用レート設定メモリ(2)をアクセスして読出した前記識別番号とを基に、前記チャネル対応の伝送速度に従った出力タイミング信号を出力する制御部(3)とを備え、該制御部(3)からの前記出力タイミング信号に従って前記複数のチャネルのデータを多重化部(4)に於いて多重化することを特徴とする多重化制御方式。

【請求項2】 前記ビットマップメモリ(1)は、前記チャネルの伝送速度の最高速度と最低速度との比に従ったアドレス数を有し、且つ各アドレスは前記伝送速度の種類に対応したビット構成を有し、前記最高速度に対しては全アドレスに出力タイミング有りを示すビットを格納し、且つ他の伝送速度に対しては前記最高速度に対する比に従ったアドレス毎に出力タイミング有りを示すビットを格納したことを特徴とする請求項1記載の多重化制御方式。

【請求項3】 前記制御部(3)は、順次歩進するアドレスにより前記ビットマップメモリ(1)から出力タイミングの有無を示すビット列を讀出してラッチし、且つチャネル対応のアドレスにより前記使用レート設定メモリ(2)から前記伝送速度を示す識別番号を讀出し、該識別番号のデコード結果により前記出力タイミングの有無を示すビット列から1ビットを選択し、該選択した1ビットが出力タイミング有りを示す時に出力タイミング信号を出力することを特徴とする請求項1記載の多重化制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、伝送速度が異なるチャネルを含む複数のチャネルのデータを多重化する多重化制御方式に関する。複数のチャネルのデータを多重化する場合、ビット多重やバイト多重等の各種の多重化方式が知られている。又伝送速度が異なるチャネルのデータを多重化する場合、伝送速度が大きいチャネルに対する多重化の回数を多く割当ててものである。このような伝送速度が異なるチャネルを含む場合の多重化の為の構成を経済的に実現することが要望されている。

【0002】

【従来の技術】図5は従来例の説明図であり、51は多重化部、52はチャネル指定部、53はセレクトア、54

は出力タイミング発生回路、55は分周回路、56は基本クロック発生回路である。基本クロック発生回路56からの基本クロック信号を分周回路55により分周し、この分周出力信号を基に出力タイミング発生回路54はチャネルCH1~CHnの伝送速度に従った出力タイミング信号を発生する。

【0003】チャネル指定部52は、セレクトア53と多重化部51とにチャネルCH1~CHnを指定するチャネル指定信号を加える。セレクトア53はチャネル指定信号に従った出力タイミング信号を選択出力して多重化部51に加える。多重化部51はチャネル指定信号によるチャネルCH1~CHnのデータを選択し、出力タイミング信号に従って多重化して送出する。従って、伝送速度が異なるチャネルを含む複数のチャネルのデータを多重化することができる。

【0004】又チャネルCH1~CHnの伝送速度の変更に対しては、例えば、チャネル指定信号の出力タイミング信号との対応関係を変更するようにセレクトア53の構成を変更し、又チャネルの増設、削除についてはチャネル指定部52からのチャネル指定信号を変更することになる。又チャネルCH1~CHnの伝送速度に対応した出力タイミング信号をそれぞれチャネルCH1~CHnに分配する構成として、セレクトア53を省略した構成が知られている。

【0005】又非同期転送モード(ATM; Asynchronous Transfer Mode)は、5バイトのヘッダ部と48バイトのデータ部とからなる53バイト固定長のセルとして伝送するものであり、各チャネルCH1~CHnのセルが多重化部51に於いて多重化される。その場合、各チャネルCH1~CHnの伝送速度に従ったセル多重化を行うもので、伝送速度の大きいチャネルのセルの多重化回数を多くし、伝送速度の小さいチャネルのセルの多重化回数を少なくすることにより、伝送速度が異なるチャネルを含む複数のチャネルのセルを多重化することができる。

【0006】このようなセル多重化に於いて、出力タイミング発生回路54は、伝送速度に対応したセルの送出タイミングを示す出力タイミング信号を発生するものであり、伝送速度の大きいチャネルに対する出力タイミング信号の周期は短く、又伝送速度の小さいチャネルに対する出力タイミング信号の周期は長くなるように構成する。

【0007】

【発明が解決しようとする問題点】従来例の伝送速度が異なるチャネルを含む複数のチャネルのデータを多重化する多重化制御方式に於いて、出力タイミング発生回路54は、分周回路55からの基本クロック信号を分周した信号を基に伝送速度に対応した出力タイミング信号を発生するものであり、チャネル数及び伝送速度の種類が多くなると、分周回路55及び出力タイミング発生回路

54の回路規模が大きくなる。又相互間の配線数も多くなる問題があり、コストアップとなる欠点があった。本発明は、簡単な構成で且つチャネルや伝送速度の変更に對しても容易に對処できるようにすることを目的とする。

【0008】

【課題を解決するための手段】本発明の多重化制御方式は、図1を参照して説明すると、異なる伝送速度にそれぞれ對應した出力タイミングの有無を示すビットを、ビットマップ形式で格納したビットマップメモリ1と、伝送速度を示す識別番号をチャネルCH1～CHn對應に設定した使用レート設定メモリ2と、ビットマップメモリ1をアクセスして読出した出力タイミングの有無を示すビットと、使用レート設定メモリ2をアクセスして読出した識別番号とを基に、チャネルCH1～CHn對應の伝送速度に從った出力タイミング信号を出力する制御部3とを備え、この制御部3からの出力タイミング信号に從って各チャネルのデータを多重化部4に於いて多重化する。

【0009】又ビットマップメモリ1は、チャネルCH1～CHnの伝送速度の最高速度と最低速度との比に從ったアドレス数を有し、且つ各アドレスは、伝送速度の種類に對應したビット構成を有する。そして、最高速度に對しては全アドレスは出力有りを示すビットを格納し、他の伝送速度に對しては最高速度に對する比に從ったアドレス毎に出力タイミング有りを示すビットを格納する。

【0010】又制御部3は、順次歩進するアドレスによりビットマップメモリ1から出力タイミングの有無を示すビット列を讀出してラッチし、且つチャネル對應のアドレスにより使用レート設定メモリ2から伝送速度を示す識別番号を讀出し、この識別番号のデコード結果により出力タイミングの有無を示すビット列から1ビットを選択し、この選択した1ビットが出力タイミング有りを示す時に出力タイミング信号を出力して多重化部4に加える。

【0011】

【作用】ビットマップメモリ1は、時系列に從って出力タイミングの有無を示すビットを配列し、この出力タイミングの有無を示すビットの配列を伝送速度の種類に應じて形成するもので、例えば、伝送速度を8種類とすると、アドレス對應に出力タイミングの有無を示す8ビット構成のビット列が讀出される構成となる。そして、各伝送速度を識別番号として、使用レート設定メモリ2にチャネルCH1～CHn對應に設定する。例えば、伝送速度が同一のチャネルに對しては同一の識別番号を設定する。制御部3は、順次歩進するアドレスによりビットマップメモリ1から出力タイミングの有無を示すビット列を讀出し、又順次歩進するアドレスにより使用レート設定メモリ2からチャネル對應の識別番号を讀出し、こ

の識別番号に對應した伝送速度に對しての出力タイミングの有無を判別し、出力タイミング有りの場合は、多重化部4に出力タイミング信号を加える。それにより、その時点のチャネルのデータが多重化されて送出される。

【0012】又ビットマップメモリ1は、チャネルCH1～CHnの伝送速度の最高が例えば256kbp sで、最低が4kbp sの場合、アドレス数は64となる。又最高速度に對するビット位置には、64個の全アドレスについて出力タイミング有りを示すビットを格納し、最低速度に對するビット位置には、64個のアドレスの中の1アドレスについてのみ出力タイミング有りを示すビットを格納する。即ち、各アドレスから異なる伝送速度に對する出力タイミングの有無を示すビット列が讀出され、出力タイミング有りを示すビットは、伝送速度に對應した周期で讀出されることになる。

【0013】又制御部3は、ビットマップメモリ1と使用レート設定メモリ2とをアクセスする機能を有し、ビットマップメモリ1から讀出した伝送速度の種類数に從ったビット列をラッチし、又使用レート設定メモリ2からチャネル對應に讀出した識別番号をデコードした結果によりラッチされているビット列の中の1ビットを選択する。例えば、最高速度の場合は出力タイミング有りを示すことになり、それによつて出力タイミング信号を多重化部4に加える。それにより、使用レート設定メモリ2から識別番号を讀出すアドレスに對應したチャネルのデータが、多重化部4により多重化されて送出される。

【0014】

【実施例】図2は本発明の実施例の説明図であり、11はビットマップメモリ、12は使用レート設定メモリ、13、14はアドレス発生部、15、16はラッチ回路、17はセクタ、18はデコーダ、19は出力処理部、20は多重化部、21は多重化処理部、22-1～22-nはバッファ部である。図1の制御部3は、アドレス発生部13、14とラッチ回路15、16とセクタ17とデコーダ18とを含む構成からなるものである。

【0015】各チャネルCH1～CHnのデータは、多重化部20のバッファ部22-1～22-nを介して多重化処理部21に加えられ、多重化されて例えば伝送路に送出される。又ビットマップメモリ11はアドレス発生部13からのアドレス信号によつてアクセスされ、讀出されたビット列はラッチ回路15にラッチされる。又使用レート設定メモリ12はアドレス発生部14からのアドレス信号によつてアクセスされ、讀出された識別番号はラッチ回路16にラッチされる。

【0016】ビットマップメモリ11は、例えば、図3に示すように、伝送速度の種類を、4kbp s、8kbp s、16kbp s、32kbp s、48kbp s、56kbp s、128kbp s、256kbp sの8種類とした場合、各伝送速度の識別番号を1～8とする。又

10

20

30

40

50

最高速度と最低速度との比は64であるから、アドレスを0~63とする。そして、伝送速度に対応した出力タイミング有りのビット(“1”)を格納する。即ち、識別番号1の伝送速度4kbp/sの出力タイミング有り(“1”)は0~63アドレスの中のアドレス63のみに格納され、識別番号2の伝送速度8kbp/sの出力タイミング有り(“1”)は、アドレス31とアドレス63とに格納され、識別番号7の伝送速度128kbp/sの出力タイミング有り(“1”)は、一つおきのアドレスに格納され、識別番号8の伝送速度256kbp/sの出力タイミング有り(“1”)は、アドレス0~63に総て格納される。なお、“0”は出力タイミング無しを示すビットを示す。

【0017】又使用レート設定メモリ12は、チャンネルCH1~CHn対応のアドレスに識別番号が設定される。例えば、チャンネルCH1の伝送速度が8kbp/s、チャンネルCH2の伝送速度が4kbp/s、チャンネルCH3の伝送速度が128kbp/sであるとする、使用レート設定メモリ12のチャンネルCH1に対応したアドレスに識別番号の2、チャンネルCH2に対応したアドレスに識別番号の1、チャンネルCH3に対応したアドレスに識別番号の7がそれぞれ設定される。

【0018】アドレス発生部13からのアドレス信号により、ビットマップメモリ11から出力タイミングの有無を示すビット列が読出されてラッチ回路15にラッチされる。例えば、ビットマップメモリ11のアドレス0から読出されたビット列は、8ビット構成の“00000001”となり、ラッチ回路15にラッチされる。又アドレス発生部14からのアドレス信号により使用レート設定メモリ12からチャンネル対応の識別番号が読出されてラッチ回路16にラッチされる。例えば、前述のようにチャンネルCH1の識別番号の2が読出されてラッチ回路16にラッチされ、デコーダ18によりデコードされる。このデコード結果によりセクタ17が制御されて、ラッチ回路15の2番目のビットが選択出力される。この選択された2番目のビットが出力処理部19に加えられる。この場合、出力タイミング無しの“0”であるから、アドレス発生部14の歩進が直ちに行われ、多重化部20には出力タイミング信号は加えられない。

【0019】次にアドレス発生部14からのアドレス信号により使用レート設定メモリ12からチャンネルCH2の識別番号の1が読出されてラッチ回路16にラッチされ、デコーダ18によりデコードされる。そのデコード結果によりセクタ17が制御され、ラッチ回路15の1番目のビットが選択出力されて、出力処理部19に加えられる。この場合も出力タイミング無しの“0”であるから、アドレス発生部14の歩進が直に行われ、多重化部20には出力タイミング信号は加えられない。このような動作がチャンネルCHnまで継続された後、アドレス発生部13が歩進される。それによって、ビットマ

ップメモリ11のアドレス1から8ビット構成の“0000011”のビット列が読出されて、ラッチ回路15にラッチされる。

【0020】そして、使用レート設定メモリ12から再びチャンネルCH1の識別番号の2が読出され、そのデコード結果によりセクタ17によってラッチ回路15の2番目のビットが選択出力されて出力処理部19に加えられる。この場合も出力タイミング無しの“0”であるから、直ちに、アドレス発生部14の歩進が行われ、このアドレス発生部14からのアドレス信号によって使用レート設定メモリ12から次のチャンネルCH2の識別番号の1が読出される。この識別番号1のデコード結果によりセクタ17によってラッチ回路15の1番目のビットが選択出力される。この場合も出力タイミング無しの“0”であるから、直ちに、アドレス発生部14の歩進が行われる。

【0021】そして、使用レート設定メモリ12からチャンネルCH3の識別番号の7が読出され、そのデコード結果によりセクタ17によってラッチ回路15の7番目のビットが選択出力される。この場合は出力タイミング有りを示す“1”であるから、出力処理部19から多重化部20に出力タイミング信号が加えられる。又アドレス発生部14からのチャンネルCH1~CHnを示すアドレス信号が多重化処理部21に加えられるから、多重化処理部21は、アドレス信号によって指定されるチャンネルCH1~CHn対応のバッファ部22-1~22-nを選択し、出力タイミング信号を加える。前述の出力タイミング信号は、チャンネルCH3対応のバッファ部22-3(図示を省略)に加えられるから、このバッファ部22-3からATMのセル等の1ブロックのデータを出力し、多重化処理部21に於いて多重化処理され、次にアドレス発生部14の歩進が行われる。

【0022】又アドレス発生部13からのアドレス信号により、ビットマップメモリ11のアドレス63から8ビット構成の“11111111”が読出されてラッチ回路15にラッチされた場合、チャンネルCH1~CHn対応の識別番号の何れに対しても出力タイミング有りを示す“1”となるから、チャンネルCH1~CHn対応に出力処理部19から出力タイミング信号が多重化処理部21に加えられる。従って、多重化処理部21では、チャンネルCH1~CHn対応のバッファ部22-1~22-nに対して出力タイミング信号を加え、チャンネルCH1~CHnのセル等の1ブロックのデータを順次多重化して送出することになる。

【0023】図4は本発明の実施例のセル多重化の説明図であり、図2と同一符号は同一部分を示す。非同期転送モード(ATM)に於けるセルは、前述のように、5バイトのヘッダ部HDと、48バイトのデータ部DTとからなる53バイト固定長のものであり、各チャンネルCH1~CHnのセルは、出力タイミング信号T1~Tn

に従って多重化処理部 21 により、セル C1, C2, . . . Cm のように多重化される。

【0024】その場合、ビットマップメモリ 11 から読出されてラッチ回路 15 にラッチされた識別番号対応のビット ID1 ~ ID8 はセクタ 17 に加えられ、又チャネル CH1 ~ CHn 対応に設定された識別番号がデコーダ 18 によりデコードされて、そのデコード結果がセクタ 17 に加えられる。識別番号対応のビット ID1 ~ ID8 が識別番号のデコード結果により選択され、出力タイミング有りを示すビットの場合、出力タイミング信号 Ti が多重化処理部 21 に加えられる。

【0025】多重化処理部 21 は、チャネル CH1 ~ CHn を指定するアドレス信号と、出力タイミング信号 Ti とが加えられて、アドレス信号により指定されたチャネルに対して出力タイミング信号を加え、そのチャネルのセルを多重化する。例えば、前述のように、アドレス信号がチャネル CH3 を指定する時に、出力タイミング信号 Ti が出力されると、多重化処理部 21 は、チャネル CH3 に対して出力タイミング信号 T3 を加えて、チャネル CH3 のセルを多重化する。

【0026】前述のように、伝送速度を 8 種類とし、最高速度と最低速度との比が 64 の場合に、多重化された 64 個のセル C1 ~ C64 の中は、前述のように、チャネル CH1 の伝送速度が 8 kbps、チャネル CH2 の伝送速度が 4 kbps、チャネル CH3 の伝送速度が 128 kbps であるとする、チャネル CH1 のセルは 2 個、チャネル CH2 のセルは 1 個、チャネル CH3 のセルは 32 個を含むものとなり、残りの 29 個のセルは、他のチャネルの伝送速度に対応して割当てられたセルとなる。

【0027】前述のビットマップメモリ 11 は、ランダムアクセスメモリ (RAM) 又は各種のリードオンリメモリ (ROM) により構成することが可能である。ランダムアクセスメモリ (RAM) 或いは書換え可能のリードオンリメモリ (EPROM) により構成した場合は、伝送速度の種類の変更等に対しても容易に対処することができる。又使用レート設定メモリ 12 もランダムアクセスメモリ (RAM) 又は各種のリードオンリメモリ

(ROM) により構成することができる。例えば、ランダムアクセスメモリ (RAM) 或いは書換え可能のリードオンリメモリ (EPROM) により構成した場合は、システム立上げ後に於いても、チャネルの増設や撤去及びチャネルの伝送速度の変更に対して、そのチャネル対応の識別番号の更新により容易に対処できることになる。

* 【0028】又各種の伝送速度のチャネル CH1 ~ CHn のデータを、多重化部 20 に於いてセル化して多重化伝送する場合にも、そのセル化のタイミングを出力タイミング信号によって決定することができる。又バイト多重化のようにブロック毎に多重化する場合にも適用できる。

【0029】

【発明の効果】以上説明したように、本発明は、伝送速度に対応した出力タイミングの有無を示すビットを、ビットマップ形式で格納したビットマップメモリ 1 と、チャネル CH1 ~ CHn 対応に伝送速度を示す識別番号を設定した使用レート設定メモリ 2 と、制御部 3 とを備え、チャネル CH1 ~ CHn の伝送速度に対応した出力タイミング信号を多重化部 4 に加えて、チャネル CH1 ~ CHn のデータを多重化するものであり、チャネル数及び伝送速度の種類が多い場合でも、部品点数及び信号線数の増加を最小限に抑えることが可能となり、且つメモリの書換えを可能とすることにより、チャネルの増設や撤去及びチャネルの伝送速度の変更に対しても容易に対処できる利点がある。

【0030】又ビットマップメモリ 1 は、チャネルの伝送速度の最高速度と最低速度との比の深さ (アドレス数) で済むことになり、比較的小容量で良いから各部を含めて集積回路化が容易となる。それによって、小型化が可能となる利点がある。

【0031】又制御部 3 は、ビットマップメモリ 1 から読出したビット列を、使用レート設定メモリ 2 から読出した識別番号のデコード結果により選択し、その選択された 1 ビットが出力タイミング有りを示す時に、多重化部 4 に出力タイミング信号を加えるものであり、多重化部 4 は、この出力タイミング信号と、チャネルを指定する信号とにより、チャネル CH1 ~ CHn のデータの多重化を容易に行うことができる。

【図面の簡単な説明】

【図 1】本発明の原理説明図である。

【図 2】本発明の実施例の説明図である。

【図 3】本発明の実施例のビットマップメモリの説明図である。

【図 4】本発明の実施例のセル多重化の説明図である。

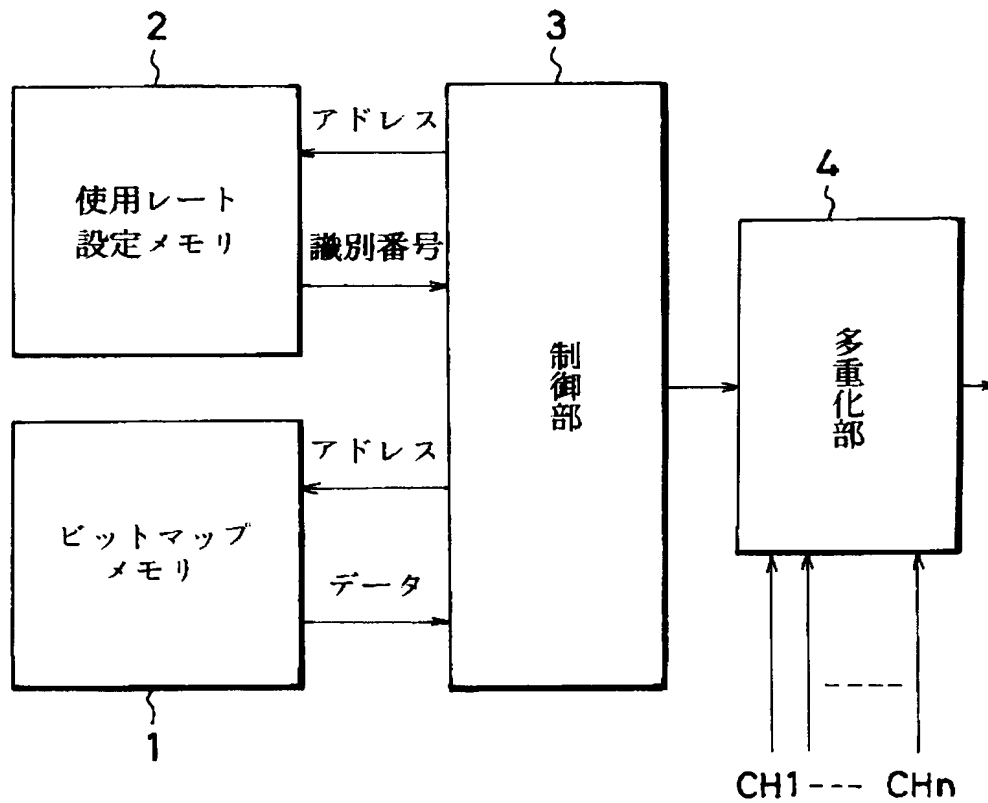
40 【図 5】従来例の説明図である。

【符号の説明】

- 1 ビットマップメモリ
- 2 使用レート設定メモリ
- 3 制御部
- 4 多重化部

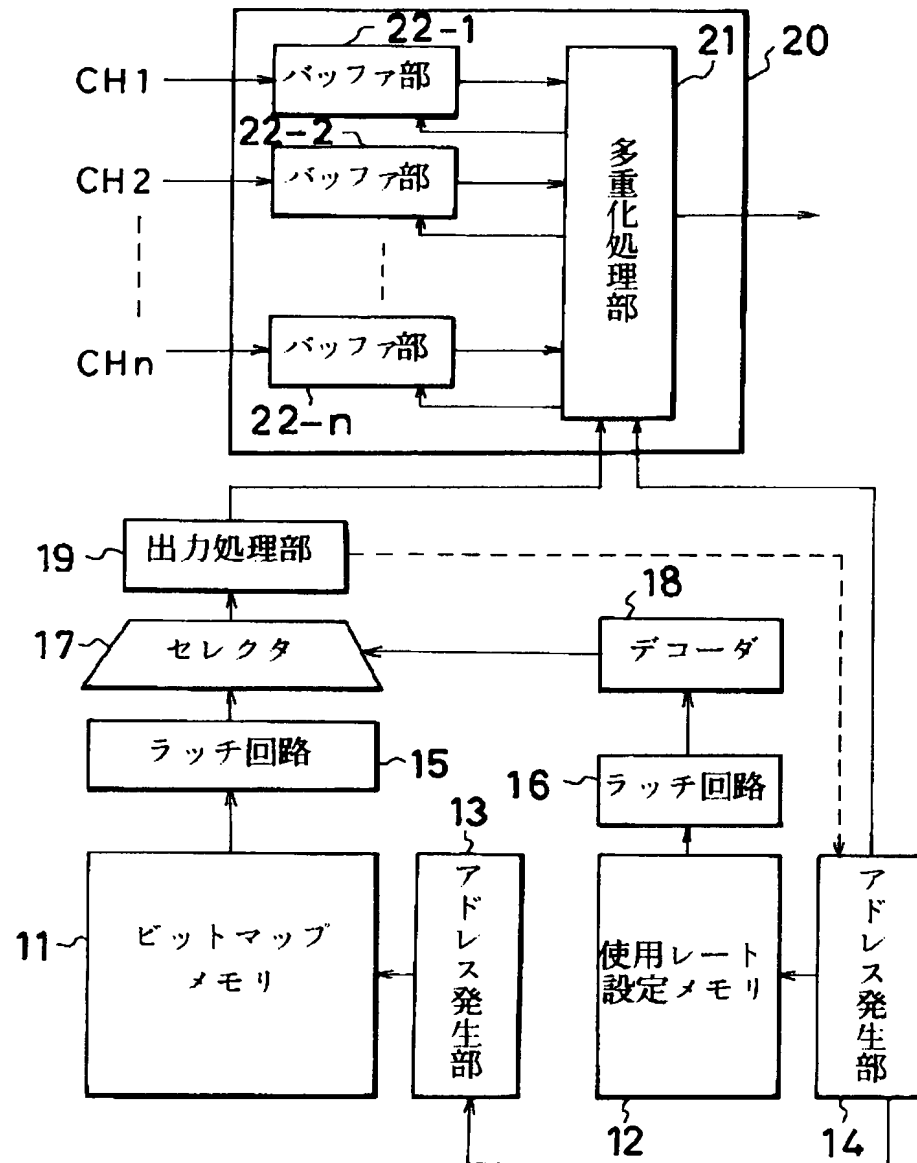
【図1】

本発明の原理説明図



【図2】

本発明の実施例の説明図



【図 3】

本発明の実施例のビットマップメモリの説明図

識別番号

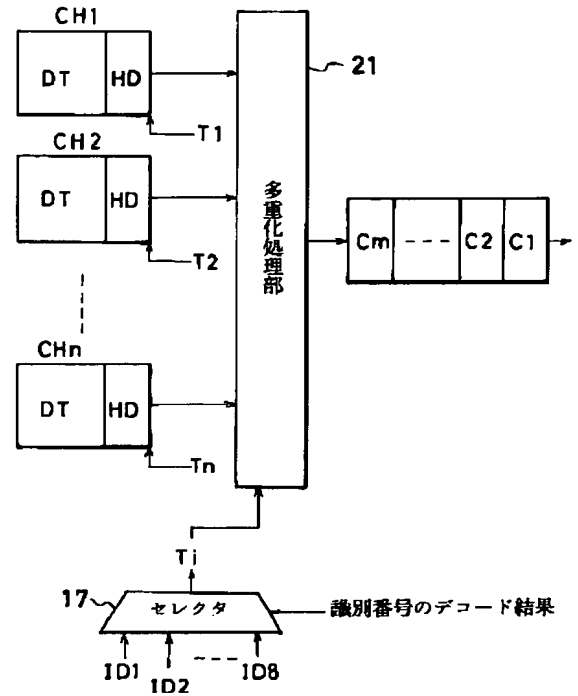
	1	2	3	4	5	6	7	8
0	0	0	0	0	0	0	0	1
1	0	0	0	0	0	0	1	1
2	0	0	0	0	0	0	0	1
3	0	0	0	0	0	0	1	1
4	0	0	0	0	0	0	0	1
5	0	0	0	0	0	1	1	1
6	0	0	0	0	0	0	0	1
...								
62	0	0	0	0	0	0	0	1
63	1	1	1	1	1	1	1	1

↑ アドレス

4K 8K 16K 32K 48K 56K 128K 256K

【図 4】

本発明の実施例のセル多重化の説明図



【図 5】

従来例の説明図

